PATENT ABSTRACTS OF JAPAN

(11)Publication number:

09-246556

(43) Date of publication of application: 19.09.1997

(51)Int.CI.

H01L 29/786

(21)Application number: 08-047140

H01L 27/12

(71)Applicant: HITACHI LTD

(22)Date of filing:

05.03.1996

(72)Inventor: YANAGISAWA YASUNOBU

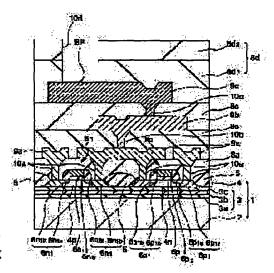
OGASAWARA MAKOTO

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To restrain warp and degradation which are caused by a stress remaining in an insulating layer when the insulating layer is formed by a method wherein a stress relaxation part which relaxes the stress remaining in the insulating layer is formed in the insulating laver.

SOLUTION: A semiconductor substrate 2 which constitutes an SOI substrate 1 is composed of a P- type silicon single crystal, and a semiconductor layer 4 is formed on it via an insulating layer. Three insulating layers 3a to 3c are laminated sequentially from the lower part. The substrate 2 ensures the strength of the substrate, and the upper and lower insulating layers 3a to 3c ensure the bonding force of the substrate 2 to the semiconductor layer 4. The intermediate insulating layer (as a stress relaxation part) 3b is a member which relaxes a stress remaining in the insulating layers 3a, 3c, and it contains a stress in a direction opposite to the residual stress in the insulating layers 3a, 3c. By this structure, the stress in the insulating layers 3a. 3c is offset by the stress in the insulating layer 3b, it is possible to restrain the warp of the SOI substrate 1 and the quality degradation of the semiconductor layer 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

技術表示箇所

(43)公開日 平成9年(1997)9月19日

828C 82/18 21/12 H0 1 L 广内整理器导 撤別的中 29/186 21/12 (51) Int CL. H01L

(全7頁) 観状版の数4 01 新生酵水 未開水

(21) 出版符号	特國平8-47140	(71)出間人 00005108	000005108
			株式会社日立製作所
(22) 出版日	平成8年(1996)3月5日		東京都千代田区神田駿河台四丁目6番地
		(72) 発明者	梅沢 泰仲
			東京都青梅市今井2326番地 株式会社日立
			製作所デバイス開発センタ内
		(72) 発明者	小笠原 就
			東京都青梅市今井2326番地 株式会社日立
			製作所デバイス関発センタ内
		(74)代理人	(74)代理人 弁理士 篤井 大和

(54) 【発明の名称】 半導体集積回路装置の製造方法および半導体集積回路装置

(57) 【模型】

おいて、絶縁層の形成時に絶縁層に幾留した応力に起因 するSOI塔板の反りや森子形成用の半導体層の劣化を 【課題】 絶縁層上に素子形成用の半導体脳を設けてた るSOI塔板を用いた半導体集積回路装置の製造工程に

に、その絶縁的3に、絶縁聞3a、3cの後間応力を穏 【解決手段】 絶縁層3.上に半導体層4を設けてなるS O1 基板1を用いた半導体集積回路装置の製造工程中 和するための応力級和機能を有する絶縁層36を設け

M

[特許請求の範囲]

(請求項11) 絶縁層上に設けられた半導体層に所定の **ド専体集積回路素子を設けてたる半導体集積回路装置の 製造方法であって、前記絶縁層に、その絶縁層に残留す** 5応力を緩和するための応力緩和部を設ける工程を有す 5ことを特徴とする半導体集積同路装置の製造方法。

造力法において、前記応力緩和部をCVD法によって形 [請求項2] 請求項1記載の半導体集積回路装置の製 成することを特徴とする半導体集積回路装置の製造方

戦からなり、前記応力緩和部が変化シリコン戦からなる 【請求項3】 請求項1または2記載の半導体集積回路 装置の製造方法において、前記絶縁層が二酸化シリコン ことを特徴とする半導体集積回路装置の製造方法

ド導体集制可路案子を設けてたる半導体集制回路装置で あって、前記絶縁層に、その絶縁層に残留する応力を観 印するための応力緩和部を設けたことを特徴とする半導 【諸永頃4】 絶縁舞上に設けられた半導体層に所定の

[発明の詳細な説明] 本集積回路装置

0001

費の製造方法および半導体集積回路装置技術に関し、特 に、SOI (Silicon Om Insulator) 基板を用いる半導 【発明の属する技術分野】本発明は、半導体集積回路装 体集積回路装置の製造技術に適用して有効た技術に関す ろものである。

[0000]

【従来の技術】SO1構造は、絶縁層上に半導体層を設 け、その半導体層に所定の半導体集積回路素子を形成す る技術であり、次のような優れた特徴を有している。

ランジスタや寄生パイポーラトランジスタ等のような能 動的寄生効果を抑制できるので、ソフトエラーやラッチ 配線容量や虹散層容量等を低減でき、素子の動作速度を 向上させることが可能であること、また、寄生MOSト 【0003】すたわち、完全た素子分離が可能たこと、 アップの生じ難い構造を得られること等である。

【0004】ところで、本発明者が検討したSO1構造 の形成方法は、例えば次のようた方法である まず、森 の半導体基板の主面に絶縁層を形成する。続いて、その 作導体基板と、別に用意した他の半導体基板とを、絶縁 を接着する その後、素子形成用の半導体基板の裏面側 **尚を介在させ接触させた状態で、それらの半導体基板に 対して高温熱処理を施すことにより、2枚の半導体基板** を研削することにより、所定の厚さの半導体層を形成す 子形成用の半導体基板に酸化処理を施すことにより、

【0005】 なお、501技術については、例えば日刊 L. 莱新聞社、昭和62年9月29日発行、「CMOSデ バイスハンドブック」 P3.85~P400に記載があ

5

り、SOI構造の利点やSOI基板の形成方法等につい

(詳細に説明されている

[9000]

O 1 構造の形成方法によれば、絶縁層の形成時にその絶 成用の半導体層の薄膜化に伴って顕著にたることを本発 [発明が解決しようとする課題] ところが、上記した8 除屋に残留したぶ方によってSOI塔板が戻ってしまっ たり、絶縁層上における素子形成用の半導体層の品質が 劣化したりする問題があり、特に、この問題は、暴子形 明春は見出した

【0007】本発明の目的は、絶縁図上に素子形成用の 半導体層を設けてなる半導体基板を用いた半導体集積回 路装置の製造工程において、絶縁層の形成時に絶縁的に 段留した応力に起因する半導体基板の反りや素 子形成用 の半導体層の劣化を抑制することのできる技術を提供す ることにある た特徴は、本明細書の記述および添付図前から明らかに なろであろう [6000]

[0008] 本発明の前記ならびにその他の目的と新規

【課題を解決するための手段】本願において開示される 発明のうち、代表的なものの概要を簡単に説明すれば、 次のとおりである。

あって、前記絶縁層に、その絶縁層に残留する応力を観 は、絶縁層上に設けられた半導体層に所定の半導体集積 回路素子を設けてなる半導体集積回路装置の製造方法で 和するための応力緩和部を設ける工程を有するものであ [0010] 本発明の半導体集積回路装置の製造方法

[0011]

【発明の実施の形態】以下、本発明の実施の形態を図面 ろための全国において同一機能を有するものは同一の符 コポム、 大学館に 第里と のは、 大猫と が都を 競手が には、 大猫と が観か 第四十 りを付し、その繰り返しの説明は省略する)

【0012】(実施の形態1)図1は本発明の「実施の 形態である半導体集積回路装置の要部断面図、図2~図 511図1の半導体集積回路装置の製造 1.程中における要 部所加図である

【0013】本実施の形態1の半導体集制=路装置は、 図1に示すように、SO1基板1を有している。

p- 形のシリコン (Si) 単結晶かられる。この半導体 i:として基板油度を確保するための部材であり、例えば **基板2の上層には、絶縁層3を介して素子形成川の半導** 【0014】SO1馬板1を構成する半導体馬板214、 本版4が形成されている。

半導体層4とを電気的に分離するための部材であり、本 【0015】絶縁何3は、半準体基板2と表育形成用の 曳施の形態1においては、例えば3つの絶縁内3 a ~ 3 c が F層から順に積み重なって構成されている。

[0016] 上下の絶縁閉3a, 3cは、上として事等 体基板2と半導体附4との接着力を確保するための部材

3

特開平09-2:16556

 $\widehat{\Xi}$

であり、例えば二酸化シリコン(SiO2)からなる。上下層の絶縁相3a.3cの厚さは、SOI基板1の大きさ写によって異なるので一般には含えないが、下層の絶縁周3ヵの厚さは、例えば0.1~0.5μm程度、1-路の絶縁は3~の厚さは、例えば0.1~0.5μm程度であ

[10017] 中間の絶縁的(応力級和部)3bは、SO 1基板1の製造中に絶縁弱3a, 3cに残留した応力を 級和するための部材であり、絶縁解3a, 3cの残留応 カとは逆方向の応力を内化している

【のの18】このような構造とすることにより、絶縁的3ヵ,3cの応力が絶縁局3bの応力によって相殺されるので、SOI基板1の反りや半導体局4の出貿劣化を均割割することが可能となっている。

[0019] 総縁層3blt、例えば%化シリコンからなり、その厚さけSOl基板1の大きき等によって異なるので・概には含えないが、例えば0.1μm間度である。 [0020] 券子形成用の半導体層4は、例えば5.1 単結晶からなり、その厚さは、例えば0.1~0.3μm程度である。下導体圏4には近途の不純物が含有されていてある。下導体圏4には近途の不純物が含有されてい

【のの21】また、半導体凶4には表す分離Ⅲのフィールド絶縁債5が形成されている。フィールド絶縁債5(は、倒えげSiO2からなり、その下部が絶縁因3mに後触するように形成されている。ただし、必ずしも接触していなくても良い

【0022】このような半導体的4において、フィール F絶縁略5に囲まれた素子形成関域には、例えばルチャ ネル形のMOS・F.F.T (Metal Oxide Semiconductor Field Effect Transistor : 以下、nMOSという) 6 nおよびpチャネル形のMOS・F.E.T (以下, pMO Sという) 6 pが形成されている。そして、このnMO S 6 nおよびpMOS 6 pによってCMOS(Complime ntary MSI回路が形成されている。

【0023】nMOS6nは、半導体菌4p に形成されている。半導体菌4pには、例えばp形不植物のホウムが含有されている。nMOS6nは、半導体菌4pの上部に丘いに顧問して形成された一対の半導体質域6n 1と、半導体増4に形成されたゲート組織6ngとを有している。なお、一対の半導体質域6n1の間に、下対の半導体質域6n1の間にnMOS6nのテキネル領域が形成される。

【のの24】この半導体前域らの1は、nMOSらのツンス・ドレイン領域を形成するための領域であり、チャネル領域側に配置された役・半等体前域らの1aと、その外側に配置された深い半導体前域らの1bとを有し

【0025】建い半導体削減6m1gには、例えばπ形不純物のリンまたはヒ森(As)が含有されている。また、深い半導体崩壊6m1bには、例えばπ形不純物の

.

リンセだはあるが含在されている。この説い半等体部域 6 n l っおよび深い半等体館域6 n l b lt、例えばイオン打ち込み並によって形成されている。

【のの26】ゲート総縁版らniは、例えばSiOゥからなる。また、ゲート電極らngは、例えば低低抗ポリシリコンからなる。ただし、ゲート電磁らngは、これに限定されるものではなく種々変更可能であり、例えば低低抗ポリシリコン版上にシリサイド戦を単復した積層で形成しても良い。

【のの21】ゲート結婚らのgの館面にはサイドウォールフが形成されている。このサイドウォールフは、LID り (Lightly Doped Drain)構造を形成するための部材であり、例えばSiOnからたる

[0029]この半導体領域6p1は、pMOS6pのソース・ドレイン領域を形成するための領域であり、チャネル領域側に配置された後い半導体領域6p1aと、その外側に配置された深い半導体領域6p1aと、

【0030】投い半導体額域6p1gには、例えばり形不絶物のホウ素リンが含有されている。また、深い半導体関域6p1bには、例えばり形不能物のホウ素が含有されている。この後い半導体領域6p1gおよび深い半導体領域6p15は、例えばイオン打ち込み近によって形成されている

[0031] ゲート絶縁版6piは、例えばSiO2からなる。また、ゲート組織6pgは、例えば低低治ホリシリコンからなる。ただし、ゲート相離3pgは、これに限定されるものではなく種々変更可能であり、例えば低粧だポリシリコン機上にシリサイド版を堆積した結婚版で形成しても良い。

[0 0 3 2] ゲート記載らpgの間面にはウイドウォールフが形成されている。このサイドウォールフはLDD 構造を形成するための節材であり、例えばSiO2 から 【0033】このようなSOL基板1 にには、例えばSiO3 からなる層間絶縁版8aが維備されており、これによって、上記したnMOS6nおよびpMOS6pが送むされている。

n MOS 6 n ねよびp MOS 6 p の半導体領域 6 n l, 6 p l と 進気的に接続されている

【0035】このようた第1層色数9aは、例えばSiO2 からなる層間絶縁版8bによって被殺されているその層間絶縁版8bの上面には、例えばハーーSiーCu合金からなる第2層配数9bが形成されている 第2層配数9bは、層間絶縁際8トに穿孔された接続410bを通じて第1層配線9aと近気的に接続されている。

【 0 0 3 6 】 断即絶縁機 8 b Ficit、例えばら 0 2 からなる極間絶縁機 8 c が維持されており、これによって、第 2 極配線 9 b が被覆されている。その極即絶縁段 8 c 上には、第 3 極配線 9 c が形成されている。

【のの37】この第3層配数9cは、例えげA1-Si-Cu合金からなり、層間絶縁版8cに形成された接続月、10cを通じて第2層配数9bと高気的に接続されている

【のの38】層間絶縁膜8cにには、近面保護膜8dが 形成されている。女面保護膜8dは、例えば保護膜8d 1 ヒに保護膜8d2 が堆積されてなる。保護膜8d は、例えば5i02 からなり、その上層の保護膜8d2 は、例えば発化シリコンからなる。 【0039】表面保護機8d少・部には、第3箇種幾9cの一部が韓田するような開口第10dが形成されている.第3個種幾9cにおいて、この開口第10dからのはする部分は、ボンディングハッド第8Pを形成してい

る。 【のの40】なお、このボンディングヘッド部B Pに は、ボンディングワイヤを通じて半導体銀種回路装置を 構成するヘッケージのリードが電気的に接続されるよう になっている。

【0041】次に、本実施の形態1の半導体集制回路装織の製造方法を図2~図5によって説明する。

【0042】まず、悩2にポオように、例えば直径5インチ、厚さ550~600m程度のp形5:単結晶からなる半導体ウエハ4Wを用意する。この半導体ウエハ-4Wは、図1の半導体値4を形成するための部材であ

【0043】続いて、この半等体ウエハ4Wに対して熱衡化や理を簡才ことにより、下等体ウエハ4Wの表面に、倒えばSiO2かられる絶縁的3aを形成する。この治験層3aには圧縮応力が終閉している。

[0044] その後、その絶縁菌3ョの表面に、例えば、 後化シリコンからなる絶縁菌3 bを熱CV D 法等によっ て形成する。この語の反応ガスとしては、例えば3 i H 2 C₁ およびN H₃ を使用している。この絶縁菌3 b に は、上記した絶縁菌3 a とは逆の引っ張り応力が発信し 【0045】次いで、その絶縁陥3もの驳而に、倒えげSiO₂ からなる絶縁陥3cを熱CVD弦等によって形成する。この際の反応ガスとしては、倒えげN2 Oおよ

びSiHiを使用している。ただし、この際のCVD処理として、フラズンCVD法を使用しても良い

[0046] この絶縁的35には、上記した絶縁的33と同じ圧縮に力が残留している。すなわち、本文施の形態1においては、絶縁的34に、絶縁的32、3との段間応力とは逆の吸間応力を対在する絶縁的35を形成することにより、それらの残留応力が近いに相談されるようになっている。

【のの47】続いて、図3に示すように、半導体ウエハ4Wと同程度の直径の値径が他の半導体ウエハ2Wを旧意する。この半導体ウエハ2Wは、図1の半導体を扱1を形成するための部材であり、例えばロー形Si単結晶かられま

【0048】そして、このような半導体ウェハシWの計 面と、半導体ウェハ4Wの主面とを対向させ接触させた 状態で高温の熱処理を施すことにより、図4に示すよう に、及方の半導体ウェハ2W、4Wを絶縁的3を介して 後者する。この際の熱処理温度は、例えば800度以1である。また、処理雰囲気は不活性ガス%用気である 【0049】その後、半導体ウェハ4Wを所定の厚さだ け残るようにその裏面倒から面削することにより、「図5 に示すように、厚さ0.1~0.3μm程度の薄い半導体道

【ロの51】そ少後、その半導体的々に、通常のウエハフコセスに従ってMOS・FETを形成した後、関やの半導体チップに分割することにより、図1に示した半導体集集開を製造する

「0052】このように、本支船の形態 1によれば、以 ドの効果を得ることが可能となる

【0053】すなわち、絶縁圏3上に素子形成用の半導体的分を設けてなる501馬板1を用いる半導体集積回路装置の製造工程において、その絶縁的3に応力が角機能を有する絶縁的3かを設けることにより、絶縁的3の、3のの機間が力に起因する501馬板1の反りや素子形成用の半導体関4の晶質劣化を抑制することが可能となる。このため、501馬板1を指した半導体集積回路装置の歩留り、信頼性および性能を向上させることが

- Juse よる 【0054】 (実施の形態2) 図6は本発明の他の実施 の形態である半導体集積回路装置の製造 I.辞中における 半導体ウェハの平面図、図7は図6の製造所面図であ [0055] 本実施の形態2においては、図6および図

E

H

が応力緩和部となっている。絶検的31は、例えば2層の 絶縁紛3g,3cが図7の下層から順に積み重なって形 **花されている。この絶縁層3a、3cは、共に、例えば** 7に示すように、501基板1に設けられた絶縁層3に 絶縁層3中の絶縁層3aをハターニングして形成された 1、例えば六角形状に形成されている。この密整部1-1 複数の空隙部11が形成されている。各空隙部11は、 色体膜の無い空室であり、平面的には図6にポポよう SiO2 からたる

国に加わる応力を低減することができるので、その股份 9棟643に空隙部11を設け、段留応力を内在する絶縁 **弱3を部分的に無くすことにより、蒸す形成用の半導体** 応力に起因する301 塩板1の反りや素子形成用半導体 母の出質の劣化を植制することが可能となる。 したがっ これを狙いに隣接して配置したことにより、SOI塔板 1 を軽くすることが可能であるとともに、歯度的にも歯 [0056] このように、本実施の形態2においては、 り、保頼性および性能を向上させることが可能となる。 【0051】また、空隙部11の形状を六角形として、 て、SOI基板1を用いた半導体集積回路装置の歩船 , 構造とすることが可能となる

【0058】 (実施の形態3) 図811本発明の他の実施 の形態である半導体集積回路装置の製造工程中における 半洋体ウェハの半面図である。

子形成用の半導体層の品質の劣化を抑制することが可能 【0059】本実施の形態3においては、絶縁層3の絶 は居3ヵが渦巻き状にハターン形成されている。 この渦 状の縁回は治験部11になっている。 すなわち、 本実施 したがって、本実施の形態3においても、前記実施の形 態2と同様、絶縁趨3部分的に無くすことにより、素子 形成用の事等体層に加わる応力を低減することができる ので、その疫留心力に起因するSOI馬板1の反りや素 の形態3でも、空隙部11が応力緩和部となっている。

れにより、SOI馬板1を用いた半導体集積回路装置の [0060]また、本実施の形態3においては、空隙部 製造工程における熱処理時に空隙部11内の空気を外部 に放出することができる。このため、空隙部11内にお ける空気の膨張に起因する501 以板1の反りや変形を 11の外国先婚滔が801基桜1の闽洒に近しており、 801 基板1内の空隙部11が外部と繋がっている。こ **坊止することが可能となる。**

[0061] なお、801基板1に対してエッチング処 **埋を施す場合には、絶縁府3がエッチングされるのを防 ぐために必要に応じて空隙第11の空気の出入口を追い** [0062]以上、本発明者によってなされた発明を実 免脱しない範囲で種々変更可能であることはいうまでも 歯の形態に基づき具体的に説明したが、本発明は前記実 強の形態 1~3 に限定されるものではなく、その要旨を

これに限定されるものでけなく種々変更可能であり、例 【0063】例えば前記実施の形態1においては、応力 緩和部を変化シリコンとした場合について説明したが、 えばCVD法で形成したホリシリコンでも良い。

なされた発明をその背景となった利用分野であるCMO S回路を有する半導体集積回路装置技術に適用した場合 々適用可能であり、例えばパイホーラトランジスタを有 る 本発明は、少なくともSOI基板を有する半導体集 【0064】以上の説明では主として本発明者によって について説明したが、それに限定されるものでけなく権 する半導体集積回路装置やBiCMOS (Bipolor CMO S)回路を有する半導体集積回路装置技術等に適用でき 傾回路装置に適用できる

【発明の効果】本館によって開示される発明のうち、代 表的なものによって得られる効果を簡単に説明すれば、 0065

以下の通りである。

[0066] すなわち、本発明の半導体集積回路装置の や素子形成用の半導体層の品質劣化を抑制することが可 能となる。このため、そのような半導体基板を用いた半 尊体集積回路装置の歩留り、信頼性および性能を向上さ 製造方法によれば、絶縁層上に業子形成用の半導体層を 造方法において、その絶林層に応力緩和部を設けること により、絶縁層の残留応力に起因する半導体基板の反り 設けてたる半導体基板を用いる半導体集積回路装置の製 せることが可能となる

[図面の簡単な説明]

[図1]本発明の一実施の形態である半導体集積回路装 戦の敷部を恒図りわる

5 要部断道域である

[図3] 図1の半導体集積回路装置の図2に続く製造工 **発中における要部断値図である**

|図4] 図1の半導体集積回路装置の図3に続く製造工 程中における嬰部断面図である

[図5] 図1の半導体集積回路装置の図4に続く製造 [程中における要部断値回べたある

[|凶6] 本発明の他の実施の形態である半導体集積回路 装置の製造工程中における半導体ウエハの平面図であ

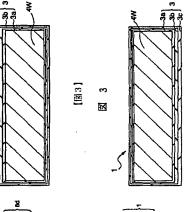
[[図8] 本発明の他の実施の形態である半導体集積回路 長置の製造工程中における半導体ウエハの平面図であ |図7||図6の半導体ウェイの製館専画図である。

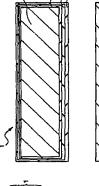
SOI 基板 [符号の説明]

2W 半導体ウェハ 半導体基板

能報局

BP ボンディングヘッド部 11 空幣部(応力緩和部) 6pla 投い半導体領域 6p1b 深い半導体領域 [河2] 10a~10c 接続孔 80~8c 屋間絶縁膜 0 6pi ゲート絶縁膜 841,842 保護膜 X 6 p.g. ゲート記権 7 サイドウォール 8 d 表面保護膜 9.0 第1局配線 第2個配線 9 c 第3附配線 9 6n nチャネル形のMOS・FET 6p pチャネル形のMOS・FET [<u>x</u>] 函 3 b 絶縁層(応力緩和部) 6 n l a 没い半導体領域 6n1b 深い半導体領域 5 フィールド絶縁膜 られ i ゲート絶縁膜 6 n l 半導体領域 6 p l 半導体領域 4W 半導体ウエハ らng ゲート電板 3 c 絶縁層 4 半導体層





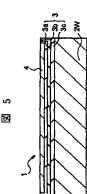


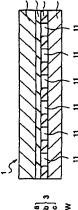
(応力量和期)

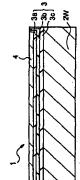
[図7]

[<u>x</u> 2]

×







5